

LEVEL-SHIFTING CIRCUIT, SHIFT REGISTER USING THE SAME, AND LIQUID CRYSTAL DISPLAY DEVICE MOUNTED WITH THE SAME

Publication number: JP2000224024

Publication date: 2000-08-11

Inventor: NAKAJIMA YOSHIHARU; MAEKAWA TOSHIICHI

Applicant: SONY CORP

Classification:

- international: **G11C19/00; G09G3/20; G09G3/36; H03K5/02; H03K19/0185; G11C19/00; G09G3/20; G09G3/36; H03K5/02; H03K19/0185; (IPC1-7): H03K19/0185; G09G3/20; G09G3/36; G11C19/00; H03K5/02**

- European:

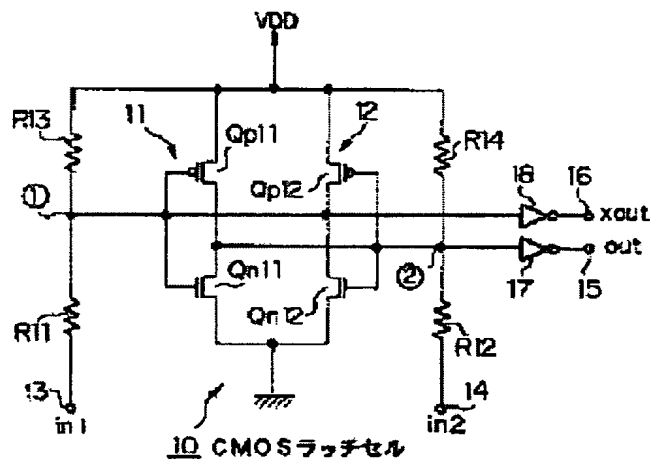
Application number: JP19990023382 19990201

Priority number(s): JP19990023382 19990201

[Report a data error here](#)

Abstract of JP2000224024

PROBLEM TO BE SOLVED: To enable a level-shifting circuit composed fundamentally of a CMOS latch cell to input a signal, having a sufficient amplitude for turning on each transistor constituting the CMOS latch cell, when a device having a large threshold is used. **SOLUTION:** The operating points of CMOS inverters 11 and 12 are defined more clearly by connecting resistance elements R11 and R12 between the two input sections of a CMOS latch cell 10 (the input terminals of CMOS inverters 11 and 12) and two input signal sources (two circuit input terminals 13 and 14 to which input signals in1 and in2 are inputted) and giving the input signals in1 and in2 to the two input sections of the cell 10 by DC-shifting the signals in1 and in2, and in addition, by connecting resistance elements R13 and R14 between the input terminals of the inverters 11 and 12 and a power source VDD and biasing nodes 1 and 2.



Data supplied from the [esp@cenet](#) database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-224024

(P 2 0 0 0 - 2 2 4 0 2 4 A)

(43) 公開日 平成12年 8 月11日 (2000. 8. 11)

(51) Int. Cl. ⁷	識別記号	F I	テ-マコード (参考)		
H03K 19/0185		H03K 19/00	101	E	5C006
G09G 3/20	621	G09G 3/20	621	L	5C080
3/36		3/36			5J039
G11C 19/00		G11C 19/00		J	5J056
H03K 5/02		H03K 5/02		L	
審査請求 未請求 請求項の数30 O L (全11頁)					

(21) 出願番号 特願平11-23382
(22) 出願日 平成11年 2 月 1 日 (1999. 2. 1)

(71) 出願人 000002185
ソニー株式会社
東京都品川区北品川 6 丁目 7 番 35 号
(72) 発明者 仲島 義晴
東京都品川区北品川 6 丁目 7 番 35 号 ソニ
ー株式会社内
(72) 発明者 前川 敏一
東京都品川区北品川 6 丁目 7 番 35 号 ソニ
ー株式会社内
(74) 代理人 100086298
弁理士 船橋 國則

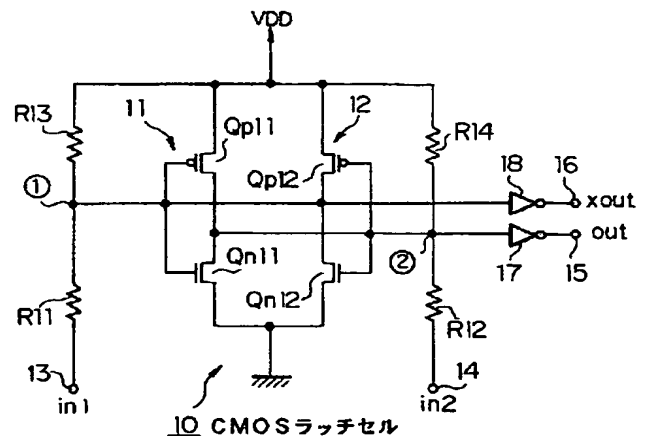
最終頁に続く

(54) 【発明の名称】 レベルシフト回路、これを用いたシフトレジスタおよびこれを搭載した液晶表示装置

(57) 【要約】

【課題】 CMOSラッチセルを基本構成とするレベルシフト回路において、閾値 V_{th} が大きいデバイスを用いた場合、CMOSラッチセルを構成する各トランジスタをオンさせるために十分な振幅の信号を入力する必要がある。

【解決手段】 CMOSラッチセル 10 の 2 つの入力部 (CMOSインバータ 11, 12 の各入力端) と 2 つの入力信号源 (入力信号 $in1$, $in2$ が入力される 2 つの回路入力端子 13, 14) との間に抵抗素子 $R11$, $R12$ を接続し、入力信号 $in1$, $in2$ を DC シフトして CMOSラッチセル 10 の 2 つの入力部に与えるとともに、CMOSインバータ 11, 12 の各入力端と電源 VDD との間に抵抗素子 $R13$, $R14$ を接続し、ノード ①, ② をバイアスすることにより、CMOSインバータ 11, 12 の動作点をより明確にする。



【特許請求の範囲】

【請求項 1】 CMOS ラッチセルを基本構成とし、低電圧振幅の信号を高電圧振幅の信号に変換するレベルシフト回路であって、

前記 CMOS ラッチセルの 2 つの入力部と 2 つの入力信号源との間にそれぞれ第 1 の抵抗素子を挿入してなることを特徴とするレベルシフト回路。

【請求項 2】 前記第 1 の抵抗素子がトランジスタによって実現されていることを特徴とする請求項 1 記載のレベルシフト回路。

【請求項 3】 前記 CMOS ラッチセルの 2 つの入力部と電源との間にそれぞれ第 2 の抵抗素子を挿入してなることを特徴とする請求項 1 記載のレベルシフト回路。

【請求項 4】 前記第 1、第 2 の抵抗素子がトランジスタによって実現されていることを特徴とする請求項 3 記載のレベルシフト回路。

【請求項 5】 前記第 1、第 2 の抵抗素子として有限の抵抗値を持つスイッチを用い、前記スイッチがオン状態のときにのみレベルシフト動作を行い、それ以外のときにはラッチ動作を行うことを特徴とする請求項 3 記載のレベルシフト回路。

【請求項 6】 前記スイッチを必要と時のみオン状態とする制御回路を有することを特徴とする請求項 5 記載のレベルシフト回路。

【請求項 7】 前記 CMOS ラッチセルの初期状態を決めるリセット回路を有することを特徴とする請求項 5 記載のレベルシフト回路。

【請求項 8】 複数段の転送段からなり、スタート信号をレベルシフトして初段の転送段に供給する第 1 のレベルシフト回路と、クロック信号をレベルシフトして各段の転送段に供給する第 2 のレベルシフト回路とを有するシフトレジスタであって、

前記第 1、第 2 のレベルシフト回路は、CMOS ラッチセルを基本構成とし、前記 CMOS ラッチセルの 2 つの入力部と 2 つの入力信号源との間にそれぞれ第 1 の抵抗素子を挿入してなることを特徴とするシフトレジスタ。

【請求項 9】 前記第 1 の抵抗素子がトランジスタによって実現されていることを特徴とする請求項 8 記載のシフトレジスタ。

【請求項 10】 前記 CMOS ラッチセルの 2 つの入力部と電源との間にそれぞれ第 2 の抵抗素子を挿入してなることを特徴とする請求項 8 記載のシフトレジスタ。

【請求項 11】 前記第 1、第 2 の抵抗素子がトランジスタによって実現されていることを特徴とする請求項 10 記載のシフトレジスタ。

【請求項 12】 前記第 1、第 2 の抵抗素子として有限の抵抗値を持つスイッチを用い、前記スイッチがオン状態のときにのみレベルシフト動作を行い、それ以外のときにはラッチ動作を行うことを特徴とする請求項 10 記載のシフトレジスタ。

【請求項 13】 前記スイッチを必要と時のみオン状態とする制御回路を有することを特徴とする請求項 12 記載のシフトレジスタ。

【請求項 14】 前記 CMOS ラッチセルの初期状態を決めるリセット回路を有することを特徴とする請求項 12 記載のシフトレジスタ。

【請求項 15】 ガラス基板上に形成された薄膜トランジスタを用いて作成されていることを特徴とする請求項 8 記載のシフトレジスタ。

10 【請求項 16】 シリコン基板上に形成された薄膜トランジスタを用いて作成されていることを特徴とする請求項 8 記載のシフトレジスタ。

【請求項 17】 走査系を含む駆動回路を画素部と同一基板上に一体形成してなる液晶表示装置であって、前記走査系を、複数段の転送段からなり、スタート信号をレベルシフトして初段の転送段に供給する第 1 のレベルシフト回路と、クロック信号をレベルシフトして各段の転送段に供給する第 2 のレベルシフト回路とを有するとともに、前記第 1、第 2 のレベルシフト回路が、CMOS ラッチセルを基本構成とし、前記 CMOS ラッチセルの 2 つの入力部と 2 つの入力信号源との間にそれぞれ第 1 の抵抗素子を挿入してなるシフトレジスタを用いて構成したことを特徴とする液晶表示装置。

【請求項 18】 前記第 1 の抵抗素子がトランジスタによって実現されていることを特徴とする請求項 17 記載の液晶表示装置。

【請求項 19】 前記 CMOS ラッチセルの 2 つの入力部と電源との間にそれぞれ第 2 の抵抗素子を挿入してなることを特徴とする請求項 17 記載の液晶表示装置。

30 【請求項 20】 前記第 1、第 2 の抵抗素子がトランジスタによって実現されていることを特徴とする請求項 19 記載の液晶表示装置。

【請求項 21】 前記第 1、第 2 の抵抗素子として有限の抵抗値を持つスイッチを用い、前記スイッチがオン状態のときにのみレベルシフト動作を行い、それ以外のときにはラッチ動作を行うことを特徴とする請求項 19 記載の液晶表示装置。

【請求項 22】 前記スイッチを必要と時のみオン状態とする制御回路を有することを特徴とする請求項 21 記載の液晶表示装置。

【請求項 23】 前記 CMOS ラッチセルの初期状態を決めるリセット回路を有することを特徴とする請求項 21 記載の液晶表示装置。

【請求項 24】 CMOS ラッチセルを基本構成とし、前記 CMOS ラッチセルの 2 つの入力部と 2 つの入力信号源との間にそれぞれ第 1 の抵抗素子を挿入してなり、低電圧振幅の信号を高電圧振幅の信号に変換するレベルシフト回路を有することを特徴とする液晶表示装置。

50 【請求項 25】 前記第 1 の抵抗素子がトランジスタによって実現されていることを特徴とする請求項 24 記載

の液晶表示装置。

【請求項 26】 前記 CMOS ラッチセルの 2 つの入力部と電源との間にそれぞれ第 2 の抵抗素子を挿入してなることを特徴とする請求項 24 記載の液晶表示装置。

【請求項 27】 前記第 1、第 2 の抵抗素子がトランジスタによって実現されていることを特徴とする請求項 26 記載の液晶表示装置。

【請求項 28】 前記第 1、第 2 の抵抗素子として有限の抵抗値を持つスイッチを用い、前記スイッチがオン状態のときにのみレベルシフト動作を行い、それ以外

のときにはラッチ動作を行うことを特徴とする請求項 26 記載の液晶表示装置。

【請求項 29】 前記スイッチを必要としないときのみオン状態する制御回路を有することを特徴とする請求項 28 記載の液晶表示装置。

【請求項 30】 前記 CMOS ラッチセルの初期状態を決めるリセット回路を有することを特徴とする請求項 28 記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、レベルシフト回路、これを用いたシフトレジスタおよびこれを搭載した液晶表示装置に関し、特に CMOS ラッチセルを基本構成とするレベルシフト回路、このレベルシフト回路を各転送段のクロック信号のレベルシフトに用いたシフトレジスタ、およびこのレベルシフト回路もしくはシフトレジスタを走査系の構成回路の一つとして搭載したいわゆる駆動回路一体型液晶表示装置に関する。

【0002】

【従来の技術】CMOSで構成されるレベルシフト回路の従来例 1 を図 13 に示す。この従来例 1 に係るレベルシフト回路は、入力信号 $in1$ をゲート入力とし、ソースがグランドに接続された N チャンネル MOS (以下、単に NMOS と記す) トランジスタ $Qn101$ と、入力信号 $in2$ をゲート入力とし、ソースがグランドに接続された NMOS トランジスタ $Qn102$ と、NMOS トランジスタ $Qn101$ のドレインと電源 VDD との間に接続され、ゲートが NMOS トランジスタ $Qn102$ のドレインに接続された P チャンネル MOS (以下、単に PMOS と記す) トランジスタ $Qp101$ と、NMOS トランジスタ $Qn102$ のドレインと電源 VDD との間に接続され、ゲートが NMOS トランジスタ $Qn101$ のドレインに接続された PMOS トランジスタ $Qp102$ とを有する CMOS ラッチセル 101 を基本構成としている。

【0003】上記構成の従来例 1 に係るレベルシフト回路において、 $in1$ として例えば 3V の低電圧振幅の信号が入力され、 $in2$ として入力信号 $in1$ の反転信号が入力されるものとする。この 3V の低電圧振幅の入力信号 $in1$ 、 $in2$ は、回路の電源電圧 VDD を振幅と

する信号として NMOS トランジスタ $Qn101$ 、 $Qn102$ の各ドレインに現れる。そして、NMOS トランジスタ $Qn101$ 、 $Qn102$ の各ドレイン出力が、インバータ 102 を経て出力信号 out およびインバータ 103 を経て出力信号 out の反転信号 $xout$ として導出される。これにより、例えば 3V の低電圧振幅の信号 $in1$ 、 $in2$ が、電源電圧 VDD の高電圧振幅の信号 out 、 $xout$ にレベルシフトされる。

【0004】図 14 に、レベルシフト回路の従来例 2 を示す。この従来例 2 に係るレベルシフト回路は、入力信号 $in1$ をゲート入力とし、ソースがグランドに接続された NMOS トランジスタ $Qn201$ と、入力信号 $in2$ をゲート入力とし、ソースがグランドに接続された NMOS トランジスタ $Qn202$ と、NMOS トランジスタ $Qn201$ のドレインと電源 VDD との間に接続されたダイオード接続の PMOS トランジスタ $Qp201$ と、NMOS トランジスタ $Qn202$ のドレインと電源 VDD との間に接続され、PMOS トランジスタ $Qp201$ とゲートが共通に接続された PMOS トランジスタ $Qp202$ とを有する差動アンプ構成の CMOS ラッチセル 201 を基本構成としている。

【0005】上記構成の従来例 2 に係るレベルシフト回路において、 $in1$ として例えば 3V の低電圧振幅の信号が入力され、 $in2$ として入力信号 $in1$ の反転信号が入力されるものとする。この 3V の低電圧振幅の入力信号 $in1$ は、回路の電源電圧 VDD を振幅とする信号として NMOS トランジスタ $Qn202$ のドレインに現れる。そして、NMOS トランジスタ $Qn202$ のドレイン出力が、インバータ 202 を経て出力信号 out として導出される。これにより、例えば 3V の低電圧振幅の信号 $in1$ が、電源電圧 VDD の高電圧振幅の信号 out にレベルシフトされる。

【0006】

【発明が解決しようとする課題】しかしながら、上述した従来例 1、2 に係るレベルシフト回路では、入力信号 $in1$ 、 $in2$ の振幅として、NMOS トランジスタ $Qn101$ 、 $Qn201$ もしくは NMOS トランジスタ $Qn102$ 、 $Qn202$ をオンさせるために十分な電圧、即ちこれらトランジスタの閾値 V_{th} 以上であることが要求され、この条件が得られない場合には、レベルシフト回路が動作しないことになる。したがって、例えば 3V 程度の CMOS - LSI の出力信号を、閾値 V_{th} の大きな TFT (thin film transistor; 薄膜トランジスタ) を用いて構成されたレベルシフト回路の入力とし、当該回路で必要とされる高電圧にレベルシフトしようとする際に、安定したレベルシフト動作を行えない場合が生ずるという問題がある。

【0007】また、従来例 2 に係るレベルシフト回路は、従来例 1 に係るレベルシフト回路に比べて、小面積で構成できかつ動作が高速であるという利点を持つ反

面、PMOSTランジスタQp201、Qp202がカレントミラー回路を構成していることから、NMOSTランジスタQn202がオンしたときにPMOSTランジスタQp201、Qp202に共に電流が流れることになるため、消費電流が大きいという欠点を有している。

【0008】TFTによるレベルシフト回路としては、上記の問題を解決するために、図15に示す回路構成のものが提案されている。この従来例3に係るレベルシフト回路は、NMOSTランジスタQn301、Qn302およびPMOSTランジスタQp301、Qp302からなる差動アンプ構成のCMOSラッチセル301を基本構成とし、入力信号in1、in2をそのままCMOSラッチセル（差動アンプ）301のNMOSTランジスタQn301、Qn302のゲート入力とせず、これらランジスタの閾値Vth以上にDCシフトさせてからゲート入力とする構成を採っている。

【0009】すなわち、入力信号in1、in2は、NMOSTランジスタQn303、Qn304を介してNMOSTランジスタQn301、Qn302の各ゲート20に入力されるようになっている。また同時に、入力信号in1、in2の確実な比較を行うために、NMOSTランジスタQn301、Qn302の各ソースに、それらのゲート入力と逆極性の信号、即ち入力信号in2、in1を入力するようにしている。NMOSTランジスタQn303、Qn304は、ダイオード接続のNMOSTランジスタQn305とゲートが共通に接続されることによってカレントミラー回路を構成している。

【0010】また、NMOSTランジスタQn303、Qn304、Qn305の各ドレインと電源VDDとの30間には、PMOSTランジスタQp303、Qp304、Qp305が接続されている。これらPMOSTランジスタQp303、Qp304、Qp305は、ダイオード接続のPMOSTランジスタQp306とゲートが共通に接続されることによってカレントミラー回路を構成している。NMOSTランジスタQn305のソースは直接グランドに接続され、PMOSTランジスタQp306は電流源Iを介してグランドに接続されている。

【0011】上述したように、従来例3に係るレベルシフト回路では、入力信号in1、in2をDCシフトさせてからNMOSTランジスタQn301、Qn302の各ゲート入力とすることにより、閾値Vthの大きいTFTによるレベルシフト回路においても、入力信号in1、in2の振幅がNMOSTランジスタQn301、Qn302をオンさせるために十分な電圧であること、という条件を満たすことができるため、安定したレベルシフト動作を実現できる。しかしながらその反面、回路のダイナミックレンジを確保するために電源電圧VDDを下げるのが難しく、結果として、TFT回路シス

テムの低消費電力化が困難になるという問題がある。

【0012】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、閾値Vthが大きいデバイスを用いた回路であっても、安定したレベルシフト動作を高速にて実現できるとともに、低消費電力化および小面積化が可能なレベルシフト回路、これを用いたシフトレジスタおよびこれを搭載した液晶表示装置を提供することにある。

【0013】

【課題を解決するための手段】本発明によるレベルシフト回路は、CMOSラッチセルを基本構成とし、低電圧振幅の信号を高電圧振幅の信号に変換するレベルシフト回路であって、CMOSラッチセルの2つの入力部と2つの入力信号源との間にそれぞれ抵抗素子を挿入した構成となっている。

【0014】本発明によるシフトレジスタは、複数段の転送段からなり、スタート信号をレベルシフトして初段の転送段に供給する第1のレベルシフト回路と、クロック信号をレベルシフトして各段の転送段に供給する第2のレベルシフト回路とを有するシフトレジスタであって、第1、第2のレベルシフト回路として、上記構成のレベルシフト回路を用いている。

【0015】本発明による液晶表示装置は、走査系を含む駆動回路を画素部と同一基板上に一体形成してなる駆動回路一体型液晶表示装置であって、走査系の構成回路の一つを、上記構成のレベルシフト回路もしくはシフトレジスタを用いて構成している。

【0016】上記構成のレベルシフト回路、これを用いたシフトレジスタおよびこれを搭載した液晶表示装置において、CMOSラッチセルの2つの入力部と2つの入力信号源との間にそれぞれ挿入された抵抗素子は、2つの入力信号をそれぞれDCシフトしてCMOSラッチセルの2つの入力部に与える。このDCシフトにより、CMOSラッチセルを構成する各ランジスタをオンさせるのに十分な電圧が得られる。したがって、閾値Vthが大きなデバイスを用いた回路にも対応可能となる。

【0017】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しつつ詳細に説明する。

【0018】図1は、本発明の第1実施形態に係るレベルシフト回路の構成の一例を示す回路図である。この第1実施形態に係るレベルシフト回路は、各々のゲートおよびドレインがそれぞれ共通に接続されたNMOSTランジスタQn11およびPMOSTランジスタQp11からなるCMOSインバータ11と、各々のゲートおよびドレインがそれぞれ共通に接続されたNMOSTランジスタQn12およびPMOSTランジスタQp12からなるCMOSインバータ12とが、電源VDDとグランドとの間に互いに並列に接続されてなるCMOSラッチセル10を基本構成としている。

【0019】このCMOSラッチセル10において、CMOSインバータ11の入力端、即ちMOSトランジスタQn11、Qp11のゲート共通接続点と、CMOSインバータ12の出力端、即ちMOSトランジスタQn12、Qp12のドレイン共通接続点とが接続され、さらにCMOSインバータ12の入力端、即ちMOSトランジスタQn12、Qp12のゲート共通接続点とCMOSインバータ11の出力端、即ちMOSトランジスタQn11、Qp11のドレイン共通接続点とが接続されている。

【0020】また、CMOSインバータ11の入力端と第1回路入力端子13との間に抵抗素子R11が、CMOSインバータ12の入力端と第2回路入力端子14との間に抵抗素子R12がそれぞれ接続されている。さらに、CMOSインバータ11の入力端と電源VDDとの間に抵抗素子R13が、CMOSインバータ12の入力端と電源VDDとの間に抵抗素子R14がそれぞれ接続されている。また、抵抗素子R12、R14の共通接続点であるノード②と第1回路出力端子15との間にインバータ17が、抵抗素子R11、R12の共通接続点であるノード①と第2回路出力端子16との間にインバータ18がそれぞれ接続されている。

【0021】上記構成の第1実施形態に係るレベルシフト回路において、第1回路入力端子13には例えば3V程度の振幅Vpの信号in1が入力され、第2回路入力端子14には入力信号in1の反転の信号in2が入力されるものとする。

【0022】ここで、例えば、入力信号in1が論理“1”(=Vp)、入力信号in2が論理“0”(=0V)の場合の回路動作を例にとって図2のタイミングを用いて説明すると、CMOSラッチセル10において、NMOSTランジスタQn11がオン状態となるため、電源VDD→抵抗素子R14→ノード②→NMOSTランジスタQn11→グランドの経路で電流が流れ、同時にPMOSTランジスタQp12がオン状態となるため、電源VDD→PMOSTランジスタQp12→ノード①→抵抗素子R11→第2回路入力端子13の経路で電流が流れる。

【0023】このとき、抵抗素子R11、R14で電圧降下が生じ、その電圧降下分だけノード①、②の電位が上昇する。すなわち、ノード①、②の電位は、DCシフトする。ここで、ノード①の方がノード②よりもシフト量が大きいため、ノード①、②では入力信号in1、in2の振幅差よりも大きな振幅差が得られることになる。

【0024】また、抵抗素子R13、R14は、ノード①、②をバイアスすることにより、CMOSインバータ11、12の動作点をより明確にする作用をなす。そして、ノード②の電位はインバータ17で反転されて第1回路出力端子15からVDDの振幅の出力信号outと

して導出され、ノード①の電位はインバータ18で反転されて第2回路出力端子16から出力信号outの反転信号xoutとして導出される。

【0025】上述した回路動作によって、振幅Vpが例えば3Vの入力信号in1、in2が、電源電圧VDDの振幅の出力信号out、xoutにレベルシフトされて導出されることになる。また、入力信号in1が論理“0”、入力信号in2が論理“0”のときには、上述した動作と全く逆の動作によってレベルシフト動作が行われることになる。

【0026】このように、CMOSラッチセル10の2つの入力部、即ちCMOSインバータ11、12の各入力端と2つの入力信号源、即ち入力信号in1、in2が入力される2つの回路入力端子13、14との間に抵抗素子R11、R12を接続し、入力信号in1、in2をDCシフトしてCMOSラッチセル10の2つの入力部に与えるようにしたことにより、CMOSラッチセル10を構成する各トランジスタをオンさせるのに十分な電圧を得ることができるため、閾値Vthが大きいデバイス、例えばTFTを用いた回路であっても、安定したレベルシフト動作を高速にて実現できる。

【0027】しかも、CMOSラッチセル10の基本回路に対して抵抗素子を付加するのみで良いため小面積で実現できるとともに、電源電圧VDDを下げてレベルシフト動作を確実に行うことができるため低消費電力化を図ることができる。さらには、CMOSラッチセル10の2つの入力部と電源VDDとの間にも抵抗素子R13、R14を接続し、ノード①、②をバイアスするようにしたことにより、CMOSインバータ11、12の動作点をより明確にすることができるので、より安定したレベルシフト動作を実現できる。

【0028】なお、第1実施形態に係るレベルシフト回路では、入力信号in2として、入力信号in1の反転信号を入力とするとしたが、入力信号in1の論理を判別することができれば良い訳であるから、必ずしも反転信号である必要はなく、0Vから電源電圧VDDまでの範囲内の任意の直流電圧を、その判別の基準電圧Vrefとして用いるようにすることも可能である。図3に、入力信号in2として基準電圧Vref(0≤Vref≤VDD)を入力した場合のタイミングチャートを示す。

【0029】また、図1の回路例では、非反転と反転の2つの出力信号out、xoutを導出する構成となっているが、いずれか一方の出力信号のみを導出する構成であっても良い。この場合には、2つのインバータ17、18のうち的一方が不要になる。

【0030】図4は、第1実施形態に係るレベルシフト回路の変形例を示す回路図であり、図中、図1と同等部分には同一符号を付して示している。この変形例に係るレベルシフト回路では、図1の抵抗素子R11、R12

10

20

30

40

50

として、各ゲートが電源VDDに接続されたNMOSTランジスタQn13、Qn14を用い、抵抗素子R13、R14として、各ゲートがグランドに接続されたPMOSTランジスタQp13、Qp14を用いた構成となっている。

【0031】このように、抵抗素子R11～R14をトランジスタで実現した場合にも、その回路の動作は図1の回路の場合と同じである。また、タイミング例についても図2および図3と同じである。なお、本変形例では、抵抗素子R11、R12をNMOSで、抵抗素子R13、R14をPMOSで実現しているが、これら抵抗素子と等価な形になるようにトランジスタを配置すれば、各トランジスタの極性はどちらでも構わない。

【0032】図5は、第1実施形態に係るレベルシフト回路の他の変形例を示す回路図であり、図4と同等部分には同一符号を付して示している。この変形例に係るレベルシフト回路では、図4の回路において、NMOSTランジスタQn13、Qn14およびPMOSTランジスタQp13、Qp14を、コントロール信号CNTLによってスイッチングする構成となっている。すなわち、図示せぬ制御回路から制御端子20に入力されるアクティブ“H”のコントロール信号CNTLが、NMOSTランジスタQn13、Qn14の各ゲートに印加されるとともに、インバータ19で反転されてPMOSTランジスタQp13、Qp14の各ゲートに印加されるようになっている。

【0033】このように、CMOSラッチセル10の各トランジスタQn13、Qn14、Qp13、Qp14を、コントロール信号CNTLによってスイッチングする構成をとることで、本レベルシフト回路をレベルシフトの必要なときにのみアクティブにし、レベルシフトの必要のないときにはデータ、即ち入力信号in1、in2の論理状態を保持する、いわゆるラッチ兼用型のレベルシフト回路を実現できることになる。

【0034】なお、本例では、抵抗素子R11～R14をトランジスタで実現した場合において、これらトランジスタをスイッチング制御するとしたが、抵抗素子R11～R14として有限の抵抗値を持つスイッチを用い、これらスイッチをスイッチング制御するようにしても、同様の作用効果を得ることができる。

【0035】図6は、第1実施形態に係るレベルシフト回路のさらに他の変形例を示す回路図であり、図5と同等部分には同一符号を付して示している。この変形例に係るレベルシフト回路では、図5の回路にさらにCMOSラッチセル10の初期値を決めるためのリセット回路を付加した構成となっている。すなわち、電源VDDとノード②との間にPMOSTランジスタQp15が接続され、そのゲートがリセット端子21に接続されることで、リセット回路22を構成している。

【0036】そして、リセット端子21には、リセット

信号Resetが与えられるようになっている。ここで、リセット信号Resetとしては、図7のタイミングチャートに示すように、電源電圧VDDよりも遅れたタイミングで立ち上がる信号を用いるようにする。このリセット信号Resetは、例えば図8に示すように、電源電圧VDDをRC積分回路23で積分することによって簡単に生成することが可能である。

【0037】このように、図5の回路にさらにリセット回路22を付加し、このリセット回路22に対して電源電圧VDDよりも遅れたタイミングで立ち上がるリセット信号Resetを与えるようにすることにより、電源立ち上げ時のCMOSラッチセル10内の初期値を決定することができる。このリセット動作により、本例の場合は、図7のタイミングチャートから明らかなように、電源立ち上げ時の初期状態でノード②の電位が“H”レベルとなり、出力信号outが“L”レベルとなる。

【0038】図9は、本発明の第2実施形態に係るレベルシフト回路の構成の一例を示す回路図である。この第2実施形態に係るレベルシフト回路は、各々のゲートおよびドレインが共通に接続されたNMOSTランジスタQn31およびPMOSTランジスタQp31からなるCMOSインバータ31と、各々のゲートおよびドレインが共通に接続されたNMOSTランジスタQn32およびPMOSTランジスタQp32からなるCMOSインバータ32とが、電源VDDとグランドとの間に互いに並列に接続されてなるCMOSラッチセル30を基本回路とした構成となっている。

【0039】このCMOSラッチセル30において、CMOSインバータ31の入力端、即ちMOSTランジスタQn31、Qp31のゲート共通接続点と、CMOSインバータ32の出力端、即ちMOSTランジスタQn32、Qp32のドレイン共通接続点とが接続され、さらにCMOSインバータ32の入力端、即ちMOSTランジスタQn32、Qp32のゲート共通接続点とCMOSインバータ31の出力端、即ちMOSTランジスタQn31、Qp31のドレイン共通接続点とが接続されている。

【0040】また、CMOSインバータ31の入力端と第1回路入力端子33との間に抵抗素子R31が、CMOSインバータ32の入力端と第2回路入力端子34との間に抵抗素子R32がそれぞれ接続されている。CMOSインバータ32の入力端と第1回路出力端子35との間にインバータ37が、CMOSインバータ31の入力端と第2回路出力端子36との間にインバータ38がそれぞれ接続されている。

【0041】上記構成の第2実施形態に係るレベルシフト回路において、第1回路入力端子33には例えば3V程度の振幅Vpの信号in1が入力され、第2回路入力端子34には入力信号in1の反転の信号in2が入力されるものとする。

【0042】ここで、例えば、入力信号 $i n 1$ が論理“1”、入力信号 $i n 2$ が論理“0”の場合の回路動作を例にとると、CMOSラッチセル30において、NMOSTランジスタ $Q n 3 1$ がオン状態となるため、電源 $VDD \rightarrow PMOST$ ランジスタ $Q p 3 1 \rightarrow NMOST$ ランジスタ $Q n 3 1 \rightarrow$ グランドの経路で電流が流れ、同時に $PMOST$ ランジスタ $Q p 3 2$ がオン状態となるため、電源 $VDD \rightarrow PMOST$ ランジスタ $Q p 3 2 \rightarrow$ 抵抗素子 $R 3 1 \rightarrow$ 第2回路入力端子33の経路で電流が流れる。

【0043】このとき、抵抗素子 $R 3 1$ で電圧降下が生じ、その電圧降下分だけCMOSインバータ31の入力端の電位が上昇する。すなわち、CMOSインバータ31の入力電位は、大きくDCシフトする。一方、CMOSインバータ32の入力電位は、 $PMOST$ ランジスタ $Q p 3 1$ から流れ出る電流が少ないため、ほとんどDCシフトしない。

【0044】これにより、CMOSインバータ31、32の各入力端では入力信号 $i n 1$ 、 $i n 2$ の振幅差よりも大きな振幅差が得られることになる。そして、CMOSインバータ32の入力端の電位はインバータ37で反転されて第1回路出力端子35から VDD の振幅の出力信号 $o u t$ として導出され、CMOSインバータ31の入力端の電位はインバータ38で反転されて第2回路出力端子36から出力信号 $o u t$ の反転信号 $x o u t$ として導出される。

【0045】上述した回路動作により、第1実施形態に係るレベルシフトレジスタ回路の回路動作の場合と同様に、振幅 $V p$ が例えば3Vの入力信号 $i n 1$ 、 $i n 2$ が電源電圧 VDD の振幅の出力信号 $o u t$ 、 $x o u t$ にレベルシフトされて導出されることになる。また、入力信号 $i n 1$ が論理“0”、入力信号 $i n 2$ が論理“0”のときには、上述した動作と全く逆の動作によってレベルシフトが行われることになる。

【0046】なお、第2実施形態に係るレベルシフト回路の場合にも、入力信号 $i n 2$ の代わりに、0Vから電源電圧 VDD までの範囲内の任意の直流電圧を、その判別の基準電圧 $V r e f$ として用いることが可能であり、また非反転と反転の2つの出力信号 $o u t$ 、 $x o u t$ のうちのいずれか一方のみを導出する構成とすることが可能である。

【0047】図10は、第2実施形態に係るレベルシフト回路の変形例を示す回路図であり、図中、図9と同等部分には同一符号を付して示している。この変形例に係るレベルシフト回路では、図9の抵抗素子 $R 3 1$ 、 $R 3 2$ として、各ゲートが電源 VDD に接続されたNMOSTランジスタ $Q n 3 3$ 、 $Q n 3 4$ を用いた構成となっている。このように、抵抗素子 $R 3 1$ 、 $R 3 2$ をトランジスタで実現した場合にも、その回路の動作は図9の回路の場合と同じである。また、この図10の回路について

も、図5や図6の変形例と同様の変形が可能である。

【0048】図11は、本発明に係るシフトレジスタの構成を示すブロック図である。ここでは、簡単のために、転送段が3段のシフトレジスタの例を示している。すなわち、3個のD-FF（フリップフロップ）41、42、43が縦続接続されている。そして、初段のD-FF41のD（データ）入力側にレベルシフト回路44が設けられ、また各段のD-FF41、42、43の各CK（クロック）入力側にそれぞれレベルシフト回路45、46、47が設けられている。

【0049】レベルシフト回路44は、例えば3V程度の振幅の互いに逆相のスタート信号ST、XSTを電源電圧 VDD の振幅の信号にレベルシフトし、これを初段のD-FF41のD入力として与えるためのものである。レベルシフト回路46、47、48は、例えば3V程度の振幅の互いに逆相のクロック信号CK、XCKを電源電圧 VDD の振幅の信号にレベルシフトし、これを各段のD-FF41、42、43の各CK入力として与えるためのものである。

【0050】上記構成のシフトレジスタにおいて、レベルシフト回路44、45、46、47として、例えば図5に示した構成のレベルシフト回路を用いている。そして、レベルシフト回路44には、スタート信号ST、XSTが入力信号 $i n 1$ 、 $i n 2$ として入力され、電源電圧 VDD がコントロール信号CNTLとして入力される。すなわち、レベルシフト回路44は、コントロール信号CNTLが電源電圧 VDD であることにより、当該回路は常時アクティブの状態にあるため、レベルシフトとしてのみ機能することになる。

【0051】一方、レベルシフト回路45、46、47には、クロック信号CK、XCKが入力信号 $i n 1$ 、 $i n 2$ として入力され、自段のシフトパルス（Q出力）と前段のシフトパルス（自段のD入力）を2入力とするORゲート48、49、50の各出力がコントロール信号CNTLとして入力される。すなわち、レベルシフト回路45、46、47は、自段のD-FF41、42、43がシフト動作を行うときにのみ、即ち低電圧振幅のクロック信号CK、XCKを転送に必要なときにのみレベルシフトを行い、それ以外のときにはクロック信号CK、XCKをラッチして転送させないようにするラッチ兼用型として機能することになる。

【0052】このように、シフトレジスタにおいて、レベルシフト回路44、45、46、47として、図5に示した構成のレベルシフト回路を用いることにより、当該レベルシフト回路は低電圧振幅のスタート信号ST、XSTやクロック信号CK、XCKに対して安定したレベルシフト動作を高速にて実現できるため、D-FF41、42、43を閾値 $V t h$ が大きいデバイス、例えばTFTを用いた場合であっても、安定した高速転送動作を実現できることになる。

【0053】なお、本例では、レベルシフト回路44、45、46、47として、図5に示した構成のレベルシフト回路を用いるとしたが、これに限られるものではなく、図1、図4、図6、図9および図10に示した構成のレベルシフト回路を用いることも可能であり、上記の場合と同様の作用効果を得ることができる。

【0054】以上説明した本発明に係るシフトレジスタは、例えば、各画素のスイッチング素子としてポリシリコンTFTが2次元マトリクス状に配置されたガラス基板上に、デジタルインターフェース駆動回路をポリシリコンTFTで画素部と一体形成してなるいわゆる駆動回路一体型液晶表示装置において、その水平駆動系の水平シフトレジスタとして用いられる。図12に、駆動回路一体型液晶表示装置の構成の一例を示す。

【0055】図12において、画素が2次元マトリクス状に配置されてなる有効画素領域51の例えば上側に水平駆動系52が配され、また例えば左側に垂直駆動系53が配され、ポリシリコンTFTで有効画素領域51と共にガラス基板上に一体形成された構成となっている。水平駆動系52は、水平シフトレジスタ521、サンプリング&第1ラッチ回路522、第2ラッチ回路523およびDA（デジタルアナログ）コンバータ524によって構成されている。垂直駆動系53は、シフトレジスタを含む垂直ドライバ531によって構成されている。

【0056】水平駆動系52において、水平シフトレジスタ521には、水平転送パルスとして水平スタートパルスHSTおよび水平クロックパルスHCKが与えられる。すると、水平シフトレジスタ521は、水平スタートパルスHSTにตอบสนองして水平クロックパルスHCKの周期で各段から順次シフトパルスを出力することによって水平走査を行う。サンプリング&第1ラッチ回路522は、水平シフトレジスタ521から出力されるシフトパルスにตอบสนองしてデジタルデータを順次サンプリングし、さらにサンプリングしたデータを有効画素領域51の各コラム線ごとにラッチする。

【0057】第2ラッチ回路523は、サンプリング&第1ラッチ回路522でラッチされたコラム線に対応するラッチデータを、1H（Hは水平走査期間）周期で与えられるラッチ信号にตอบสนองして1Hごとに再ラッチする。DAコンバータ524は、第2ラッチ回路523に再ラッチされたデジタルデータを各コラム線ごとにアナログ信号に変換し、このアナログ信号を対応するコラム線に供給する。

【0058】上記構成の駆動回路一体型液晶表示装置において、水平駆動系52の水平シフトレジスタ521として、図11に示した構成のシフトレジスタが用いられるのである。このように、小面積で実現でき、低消費電力のシフトレジスタを搭載することにより、当該シフトレジスタを含む水平駆動系52や垂直駆動系53などの駆動回路を、有効画素領域51と同一基板上に作成する

際に、当該駆動回路を配する有効画素領域51の周辺領域（額縁）を狭くできるとともに、低消費電力の駆動回路一体型液晶表示装置を実現できることになる。

【0059】また、このシフトレジスタは、先述したことから明らかなように、閾値 V_{th} が大きいデバイス、例えばTFTを用いた回路であっても、安定した高速転送動作を実現できるため、デジタルインターフェース駆動回路をTFTで有効画素領域51と一体形成した駆動回路一体型液晶表示装置において、その水平駆動系52の水平シフトレジスタ521として用いて有用なものとなる。

【0060】なお、本例では、本発明に係るレベルシフト回路をシフトレジスタに、またこのシフトレジスタを、駆動回路一体型液晶表示装置における水平駆動系の水平シフトレジスタとして用いた場合を例にとりて説明したが、これに限られるものではなく、本発明に係るレベルシフト回路を液晶表示装置におけるシフトレジスタ以外の単独のレベルシフト回路として用いることも可能であり、シリコン基板上に形成されたTFTを用いた回路、さらにはTFTに限らず閾値 T_{th} の大きなデバイスを用いた回路全般に対して適用可能である。

【0061】

【発明の効果】以上説明したように、本発明によれば、CMOSラッチセルの2つの入力部と2つの入力信号源との間にそれぞれ抵抗素子を挿入し、この抵抗素子によって2つの入力信号をDCシフトさせてCMOSラッチセルの2つの入力部に与えるようにしたことにより、CMOSラッチセルを構成する各トランジスタをオンさせるのに十分な電圧が得られるため、閾値 V_{th} が大きいデバイスを用いた場合であっても、小面積、低消費電力にて安定したレベルシフト動作を実現できることになる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係るレベルシフト回路の構成の一例を示す回路図である。

【図2】本発明の第1実施形態に係るレベルシフト回路の回路動作を説明するためのタイミングチャートである。

【図3】直流電圧を基準電圧とした場合のタイミングチャートである。

【図4】本発明の第1実施形態に係るレベルシフト回路の変形例を示す回路図である。

【図5】本発明の第1実施形態に係るレベルシフト回路の他の変形例を示す回路図である。

【図6】本発明の第1実施形態に係るレベルシフト回路のさらに他の変形例を示す回路図である。

【図7】リセット回路を付加した場合の回路動作を説明するためのタイミングチャートである。

【図8】リセット信号を生成する回路例を示す回路図である。

15

【図 9】本発明の第 2 実施形態に係るレベルシフト回路の構成の一例を示す回路図である。

【図 10】本発明の第 2 実施形態に係るレベルシフト回路の変形例を示す回路図である。

【図 11】本発明に係るシフトレジスタの構成を示すブロック図である。

【図 12】本発明に係る駆動回路一体型液晶表示装置の構成の一例を示すブロック図である。

【図 13】従来例 1 の回路図である。

【図 14】従来例 2 の回路図である。

10

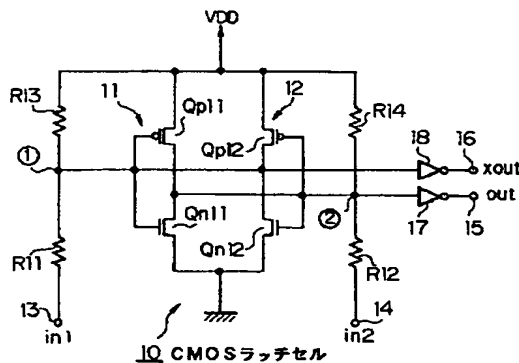
16

【図 15】従来例 5 の回路図である。

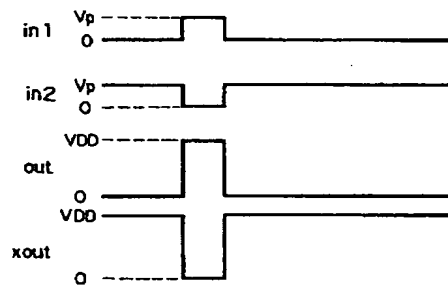
【符号の説明】

10, 30…CMOSラッチセル、11, 12, 31, 32…CMOSインバータ、22…リセット回路、23…RC積分回路、R11～R14, R31, R32…抵抗素子、41～43…D・FF（フリップフロップ）、44～47…レベルシフト回路、51…有効画素領域、52…水平駆動系、53…垂直駆動系、521…水平シフトレジスタ

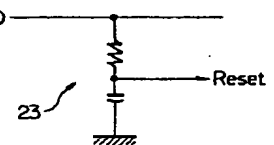
【図 1】



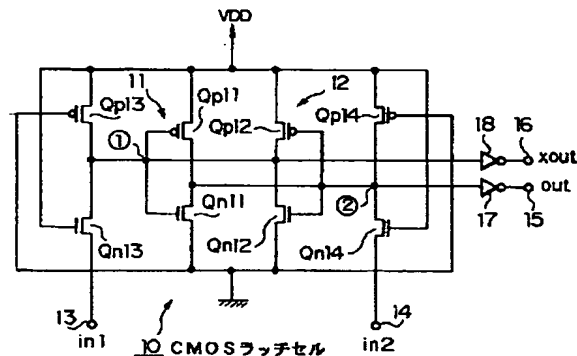
【図 2】



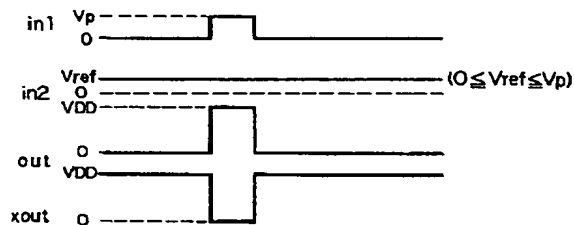
【図 8】



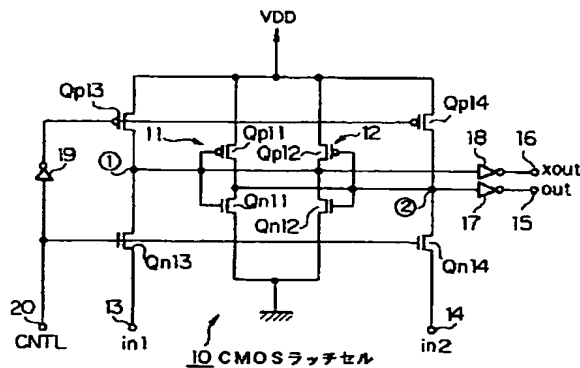
【図 4】



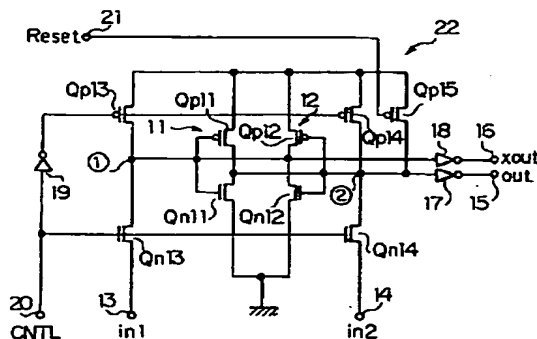
【図 3】



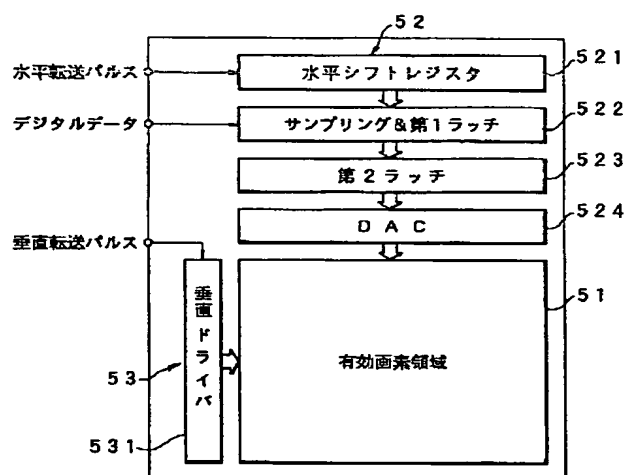
【図 5】



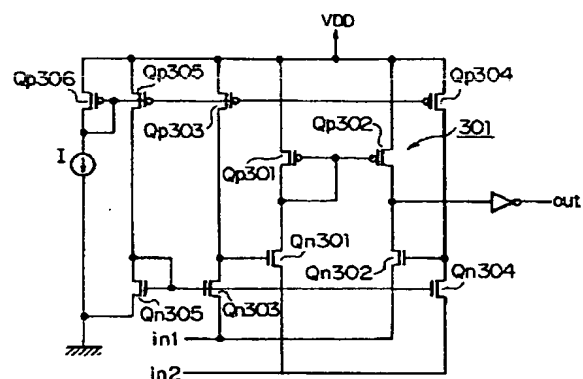
【図 6】



【図 12】



【図 15】



フロントページの続き

Fターム(参考) 5C006 AA16 AF83 BB11 BC03 BF03
 BF04 BF06 BF11 BF26 BF34
 BF46 FA14 FA41 FA47
 5C080 AA10 BB05 DD08 DD22 DD26
 EE29 FF03 FF09 JJ02 JJ03
 JJ04
 5J039 CC04 CC06 KK09 KK10 KK14
 KK17 KK34 MM03 MM04 NN02
 5J056 AA00 AA32 BB07 BB17 BB57
 CC02 CC14 CC18 CC21 DD13
 DD29 EE03 FF07 FF09 KK00